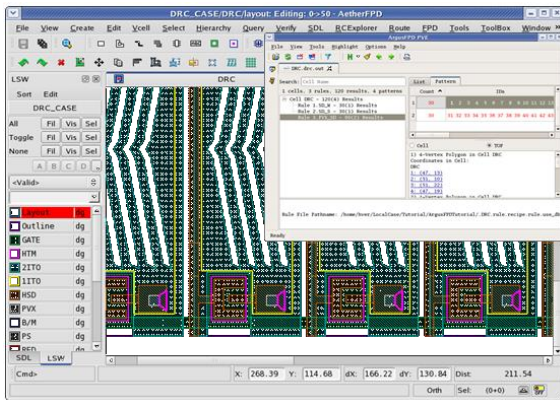


Empyrean ArgusFPD™

版图验证工具套件

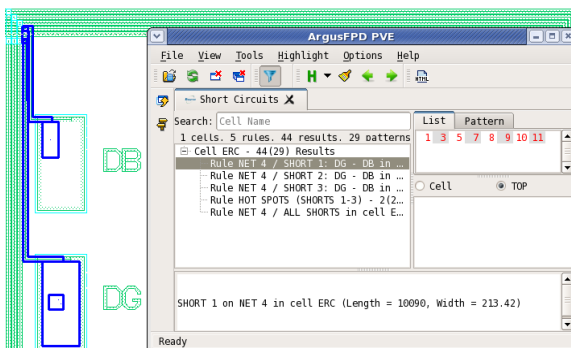
Empyrean ArgusFPD™可以实现版图全方位的验证检查，确保版图正确。版图验证工具可以无缝集成到AetherFPD版图设计工具中，通过简洁的图形化界面，快速实现版图验证并准确定位错误，确保设计质量的同时提升设计效率。

- ArgusFPD DRC (Design Rules Check) : 具有高性能、高容量和高精度的特点，可以支持层次化的检查、特定区域的局部检查、规则分组和选定，还支持多线程检查。设计规则的检查验证，避免线宽、线间距等设计不符合规则，如图示1所示。



图示1-DRC定位违反设计规则图形

- ArgusFPD ERC (Electrical Rules Check) : FPD设计中有很多连线，为了确保连线的正确性，保证产品的电气性能正常，常在几何设计规则验证后进行电气设计规则验证，避免版图中的信号线出现Open 和Short错误，如图示2所示。

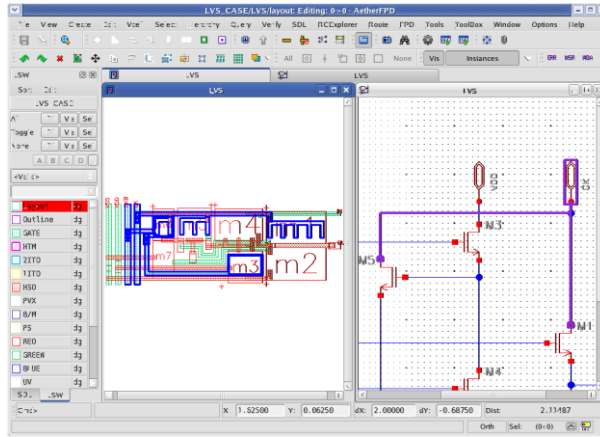


图示2-LVS定位连线开路

亮点

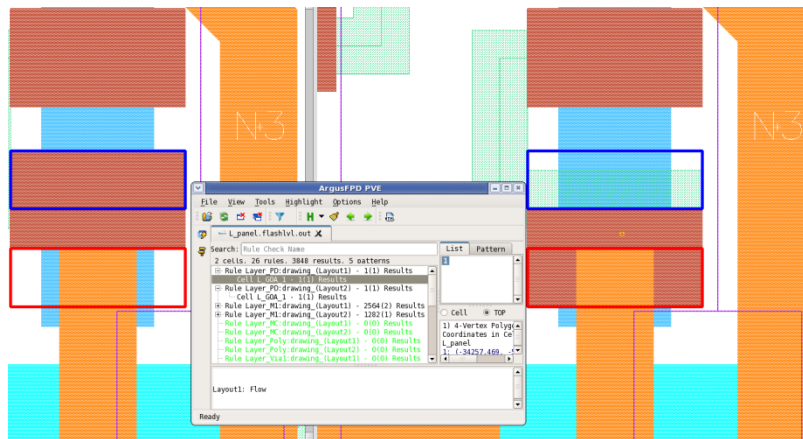
- 提供图形化的Rule编写辅助工具DRS
- 快速准确定位错误
- 支持验证结果优化分类
- 支持层次化的版图验证
- 图形化运行界面，简单易用
- 支持Size Lib后同Lib的LVL比对确认

- ArgusFPD LVS (Layout Vs Schematic) : 通过层次化的查错方式更准确的定位错误, 并通过版图、原理图、网表之间的良好交互能力帮助设计人员快速、准确的找到错误, 定位问题。版图与电路原理图比对验证, 避免版图设计同电路原理图不符而导致的版图电性错误, 如图示3所示。



图示3-ERC 短路/开路检查

- ArgusFPD LVL (Layout Vs Layout) : FPD Mask出图流程中包含mask厂商返回图纸与设计图纸confirm问题。LVL可以帮助用户最快的完成相关位置的修改确认, 极大地提高版图改版确认效率。利用LVL工具确认改版前后的版图差异, 如图示4所示。



图示4-LVL原始设计数据与导出数据比对

- ArgusFPD SVS (Schematic Vs Schematic) : 电路图不同版本的差异验证, 避免改版的电路图数据出错。
- ArgusFPD DRS (Design Rule Studio) : 设计Rule编辑器, 方便客户进行不同验证Rule的编写以及编译错误检查。
- ArgusFPD PVE (Physical Verification Explorer) : 验证结果汇总, 可返标至版图和原理图, 高效分析并修正检查错误点。
- ArgusFPD CD (Check Density) : Layer密度检查, 提供每层Layer的密度工艺参数。