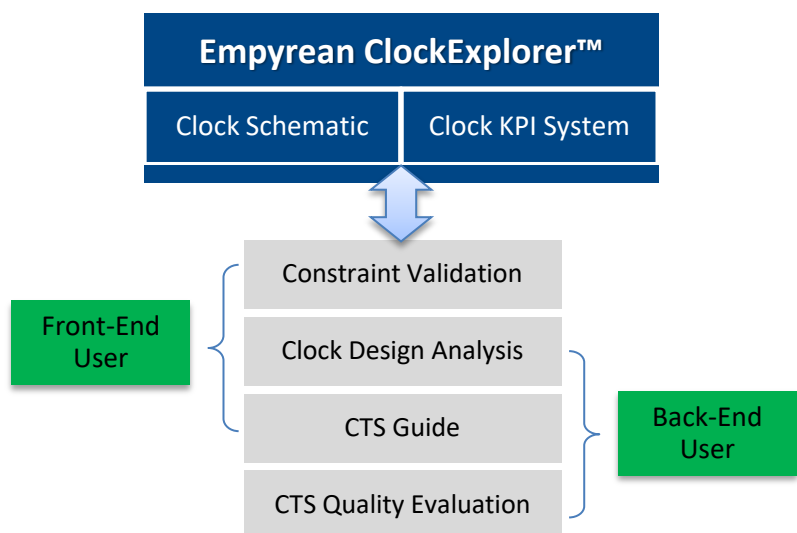


Empyrean ClockExplorer™

基于规则检查的时钟分析优化平台

功能与优势



概述

随着集成电路快速发展到16nm及以下先进工艺，SoC设计的规模和复杂性都迅速增加。时钟网络的质量对整个设计的性能影响也越来越大。时钟设计方面的问题会导致项目的延迟、设计的修改，甚至芯片量产的失败。因此，我们必须在设计过程中尽可能早地考虑时钟设计的潜在风险。

对于前端和中端工程师，在签署RTL代码sdc文件之前，需要避免对时钟综合不友好的时钟结构和不适当的时钟约束；对于后端工程师，为了减少CTS设计周期，需要通过检查时钟网络的物理分布和分析时钟结构来优化CTS策略，在下一轮迭代之前，进行时钟综合结果瓶颈分析和修改。所有这一切都需要设计者大量的努力和多年的经验积累。

Empyrean ClockExplorer™ 产品提供了一个专业的时钟分析与诊断平台，解决不同设计阶段的时钟设计难点，可以有效缩短时钟设计周期，取得更好的时钟综合结果。它拥有功能强大的时钟schematic图形展示，帮助设计者清晰掌握时钟的结构与相互关系，制定更好的CTS策略。基于规则检查的KPI系统集成了丰富的时钟检查条目，可以帮助设计者对时钟设计质量进行评估和把控，快速找到瓶颈问题，提高设计质量。

ClockExplorer已被世界领先的诸多IC设计公司所采用，并证明具有非常高的应用价值。它的时钟 schematic 示意图被认为是最清晰、最简洁的时钟结构展示方法。时钟 KPI 评分系统可以有效评估各阶段的时钟设计质量，已在各大设计公司的设计流程中起着关键作用。

• 功能强大的时钟 Schematic

- 清晰简洁的时钟结构展示
- 时钟及时钟组的关系展示
- 提供更好的CTS策略以提高时钟综合质量
- 实时的交互式连接性追踪，并可以与物理版图交叉定位

• 基于规则检查的时钟 KPI 系统

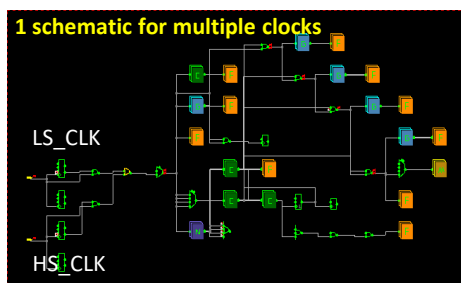
- 一键式时钟质量检查，可服务于 pre-CTS 及 post-CTS 等设计阶段
- CTS 结果瓶颈分析与质量提高
- 时序相关性分析，有效提高时钟设计与时序优化
- 减少时钟设计周期，降低时钟功耗及 OCV问题

功能

❑ 功能强大的时钟Schematic

❖ 先进的时钟示意图展示

- Overview 模式提供更合理化的模块封装
- 提供 by_delay 及 by_level 显示模式
- 同一窗口显示包含多个时钟的时钟组内容



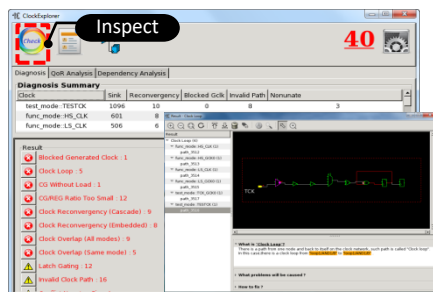
时钟组的 Schematic 展示

❖ 先进的时钟示意图展示

- 单元/引脚的连接图，有效进行交互式追踪
- 与物理版图的交叉定位
- 单元及模块的时序相关性的连线展示

❑ 基于规则检查的时钟 KPI 系统

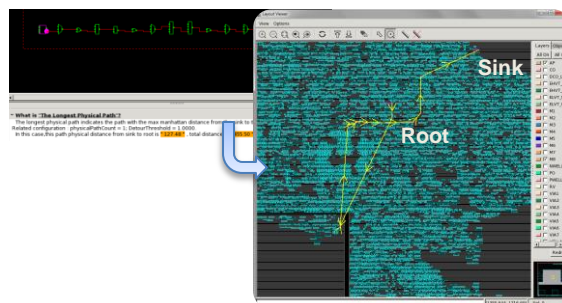
❖ 一键式时钟设计质量评估



时钟 KPI 系统主窗口

❖ 质量检查

- 时钟设计诊断
SDC 验证, 不友好的时钟结构检查, ...
- 时钟综合质量分析
物理瓶颈检测, DRC 检查, ...
- 时序相关性检查
先进的单元/线网时钟偏差分析, early branch 分析, ...



时钟综合质量分析: 定位最长时钟路径在物理版图中的分布

支持的数据与平台

❑ 输入文件

- LEF, timing library, Verilog, DEF, sdc, clock spec, sdf

❑ 流程集成

- Industry leading EDA design environment
- Standalone Tcl command line

❑ 支持的平台

- X86 64-bit:
- Red Hat Enterprise V5, and V6

联系方式 info@empyrean.com.cn

总部

北京华大九天软件有限公司
地址: 北京市朝阳区利泽中二路2号
望京科技创业园A座二层
电话: 010-84776888

成都子公司 | 成都九芯微科技有限公司

地址: 四川省成都市双流区东升街道
银河路596号科研综合楼13层

南京子公司 | 南京九芯电子科技有限公司

地址: 南京市江北新区星火路17号
创智大厦A座8层

上海分公司

地址: 上海市浦东新区郭守敬路498号
上海浦东软件园1号楼1518

深圳办事处

地址: 广东省深圳市南山区科技中二路软件园
一期四号楼五楼526室