

Qualib

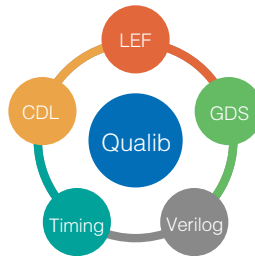
库单元及IP质量检查平台

Qualib是一个检查库单元及IP模块质量的平台产品。随着工艺节点进入28nm/20nm，无论是单元或者IP库的设计者，还是库的使用者，都需管理复杂而又众多的单元或者IP库。如何保证单元或者IP库的正确性，不同view（例如网表，LEF，GDS等）之间的一致性和各版本之间的性能稳定性，愈发困难，已成为业界关注的焦点。

Qualib 提供了一套全面的解决方案，方便标准单元或IP库模块的检查与修正，便于库的维护和保证库的设计质量。

目前支持的库文件格式有：

- LEF
- GDS
- TIMING LIB
- VERILOG
- CDL

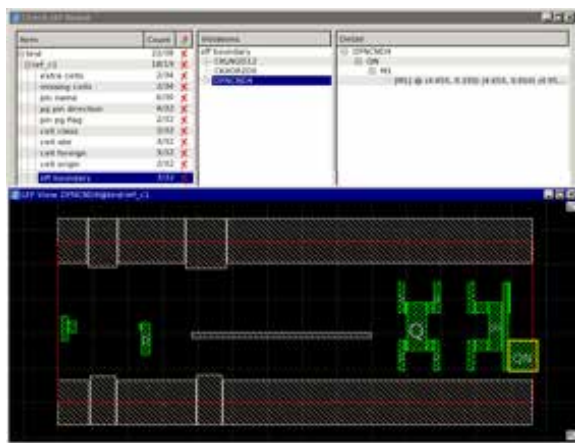


库单元的检查包括self-check，cross-check和comparison。

Self-check检查

Qualib会按照设计规则要求对库的每一种VIEW进行正确性检查。

例如，针对LEF VIEW，会进行pin access，off grid，off boundary等设计规则检查，以及Tech定义的正确性检查等。



Self-check 检查：单元LEF库Off Boundary设计规则检查
检查结果会以高亮的形式在版图上进行突出显示，方便用户定位。

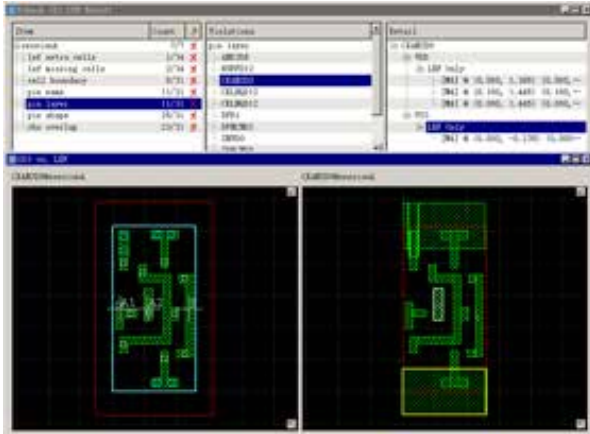
功能与优势

- 标准单元库检查
- IP模块检查
- LEF单元库
- GDS版图库
- TIMING 时序库
- VERILOG网表库
- CDL仿真库
- 支持库本身的正确性检查
- 支持库与库之间的一致性检查
- 支持不同版本库之间的比较
- 快速的检查速度
- 不同视图之间交叉参考
- 动态的错误提示
- 完整的检查报告
- 提高设计质量，降低维护风险

Self-check检查

Qualib会按照设计规则要求对库的每一种VIEW进行正确性检查。

例如，给定某一单元，检查其LEF库和GDS库中PIN的定义、布线层、形状是否一致。

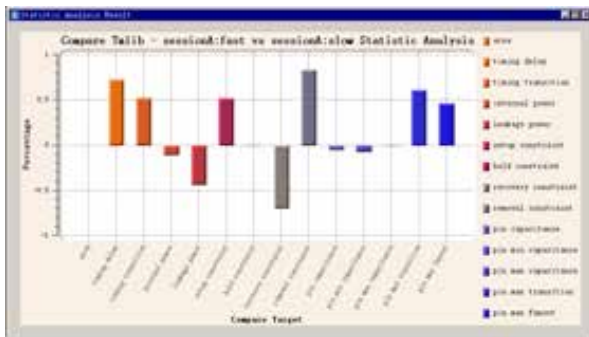


Cross - check 检查：单元LEF库GDS库的PIN布线层对比检查

Comparison检查

Qualib会对不同版本的同一种VIEW进行比较分析。

例如，给定两个版本的库文件，比较分析TIMING VIEW在单元面积、时序、功耗等方面的差异。



Comparison 检查：两套库单元Timing LIB 库的性能比较
比较结果会以归一化的百分比形式进行图形化显示。

主要功能:

- 检查库中各个View是否有多余或缺失的单元和PIN定义
- 检查LEF库中单元的PIN是否对齐布局网格
- 检查LEF库中单元的PIN是否可以成功布线访问
- 检查LEF库中单元是否有形状位于边界之外
- 检查LEF库中单元是否满足Abutment拼接规则
- 检查GDS库中电源/地层是否正确设置
- 检查GDS库中的使用的层，通孔是否定义正确
- 检查TIMING库中时序或者功耗table是否定义完备
- 检查TIMING库中的时序 table是否单调
- 分析LEF库和GDS库中单元边界，PIN名称，布线层及形状是否一致
- 分析LEF库和GDS库中单元是否满足OBS overlapping覆盖检查
- 分析LEF库和VERILOG库中单元PIN名称，方向是否一致
- 分析LEF库和TIMING库中单元PIN名称，方向是否一致
- 分析VERILOG库和TIMING库中单元PIN名称，方向，以及timing arc定义是否一致
- 比较两个GDS库中单元的面积，形状是否有不同
- 比较两个LEF库中单元的面积，形状，PIN的位置等是否有不同
- 比较两个VERILOG库中单元的连接关系，PIN的定义，方向是否有不同
- 比较两个CDL库中单元的连接是否有不同
- 比较两个TIMING库中单元PIN的方向，功能定义的是否有不同
- 比较两个TIMING库中单元面积，时序，功耗等是否有不同