

一站式版图集成、检视与分析

Skipper

版图处理面临的挑战

随着半导体设计与制造继续遵循摩尔定律向着晶体管集成度更高，尺寸更小的方向发展，版图规模也呈爆炸性的增长，可制造性设计的要求进一步增加了流片版图的复杂度以及光罩数据的规模。如何高效精确地完成版图的读入导出，检视，比较，以及各个模块的集成是所有半导体设计制造工程师共同面对的巨大挑战。

除了颇具代表性的CPU，移动设备SOC芯片外，物联网，智能卡，MEMS等规模不大的芯片也已经大量普及应用，即使面对这类芯片，版图工程师依然要面对很多棘手的问题。如何在错综复杂的版图中准确快速的追踪信号线，如何准确定位短路点，定制化版图的金属连线电阻是否满足设计要求，芯片失效是否因为部分电路缺少了ESD保护，诸如此类的问题在芯片最终交付市场前屡见不鲜。

一颗芯片能够迅速占领市场，固然与产品方向，架构，设计人员水平紧密相关，能够快速解决以上罗列问题的专业化工具也同样不可或缺。在高度竞争的市场环境下，尽量缩短版图sign off时间，快速定位并修改版图中存在的问题，提高流片成功率，对版图处理提出了更高的要求。

支持多种数据格式的大容量快速版图浏览工具

今天，无论是数字后端工程师，版图集成及物理验证工程师，以及foundry的设计服务或tape out支持工程师，每天都要花费大量时间浏览版图的各个细节。他们所接触的数据格式可能是LEF/DEF，或是GDS/OASIS，或是MEBES/JDV，无论数据规模大小，方便快速的打开并无时滞的任意浏览必然能大大提高工程师的工作效率。除了这一基本要求，快速查找，定位特定图形和label，显示特定单元在版图中的分布，隐藏特定单元等形形色色的功能也能给工程师带来极大的方便。

版图ECO在tape out之前不可避免，两个版本之间存在何种差异，差异发生在哪些层，相关信息对于工程师最终sign off至关重要。对于MEBES/JDV数据存在同样的需求，光罩数据与版图一脉相承，对应的ECO更改一定在JDV数据上有所体现。更特殊的是JDV数据已经不存在hierarchy层级的调用关系，不同版图对应的JDV数据比较对工具提出了更高的性能要求。所有数据的比较结果最后都要直观的呈现在工程师眼前，易用性在这里至关重要。

从顶至下的设计方法通常在芯片设计的最后阶段将各个功能模块版图组合在一起。对于SOC设计，集成大量第三方IP也是通用做法。版图组装以及IP导入必须考虑下层单元可能存在的名称冲突，以及冲突发生时客户多样的重命名规则。设置简单，逻辑清晰的脚本是完成这项任务的最好选择，脚本的背后是工具的版图数据处理能力。

版图信号追踪及短路点定位

版图中线网可以通过LVS检查找出错误连接，但执行一套完整的LVS检查却不一定对于所有设计环节都是最好的选择。LVS运行时间长，工程师也不会轻易更改foundry发布的LVS规则以适应自己一个很简单的线网追踪需求。基于最基本的图层物理连接规则，直接在版图中追踪出线网的连接情况，对于很多版图分析工作来说更简单易行。比如，pin端与其他模块的连接关系，低压pad是否连接到了所有正确模块的pin端，某条clock连线的走向，这些应用场景需求简单却颇具代表性。尤其涉及规模较大的线网，并不是所有工具都能快速准确的完成这项任务。

一站式版图集成、检视与分析

在版图中修改短路是所有物理验证工程师的日常工作。传统工具可以实现原理图，版图，网表之间的交互检查，但有时在版图中准确判断出造成短路的连接点却并不轻松。举例来说，信号线与电源网络之间的短路，由于电源网络分布广泛，版图中高亮显示的图形会将真正的短路点淹没，如图1所示。即使两个信号线的pin端之间的短路，如果工程师没有多年的经验积累，想要快速定位并将版图改正也不是一件轻而易举的工作。

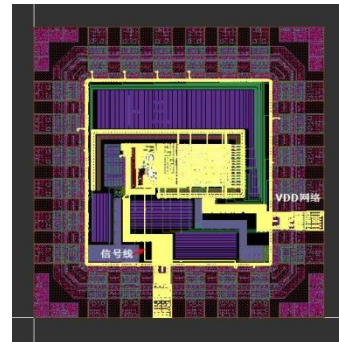


图1. 信号线与电源网络之间的短路

P2P电阻分析与ESD检查

ESD保护在版图设计中越来越受到重视，为了保证高压静电能够找到合适的电流泄放通路，芯片核心电路能够受到ESD单元嵌位电压的保护，在IO Pad与VSS之间，VDD与VSS必须要放置设计合理的ESD单元，如图2所示。

ESD检查涉及较多内容，但有一条通用的准则，必须保证ESD器件所在通路的电阻要足够小，即所谓的1欧姆准则。快速追踪出Pad到ESD一端，以及ESD另一端到Pad的通路并计算出等效电阻，是工程师判断ESD设计质量的一个标准。如果能够让用户提供基本的输入，如版图，工艺文件，Pin的位置，Pad名称，电阻阈值等信息，工具自动报告所有不满足规则的ESD设计，必将大大提高电路设计人员对于芯片通过ESD测试的信心。

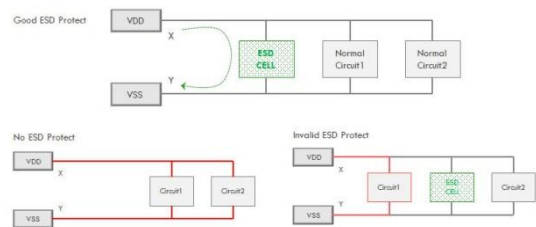


图2.ESD保护的设计原则

不仅ESD检查需要电阻计算，版图中任意两点间的电阻对于工程师也有很重要的参考意义。比如定制模拟电路，工程师按照设计规则完成了金属连线，也根据连线长度与宽度估算了电阻值，但无法将复杂的串并连情况都考虑在内，难免担忧某段走线电阻过大造成压降超出许可范围。通过点击版图任意两点，将两点间的串并联情况全部考虑在内算出等效电阻，能够给模拟版图工程师及数字后端工程师带来巨大便利。

版图编辑

修改DRC错误是芯片交付foundry之前必不可少的环节，所以编辑功能对于版图工具来说也不可或缺，纯粹的版图浏览工具必然受制于应用场景而无法得到更广泛的应用。考虑以下两个情况，DRC报告版图中某个位置图形密度超出许可，需要削减dummy图形。或者工程师已经将设计版图与dummy版图合并，却因为ECO的缘故需要更改金属走线，如何让新的金属走线穿过dummy图形？要知道，因为dummy版图规模巨大，所以无一例外全部采用Hierarchy的层次结构组织数据。因为每一个部分都是多层次的dummy图形组合而成，删除任意一小块图形对版图其他位置都可能造成影响。也许当前位置的图形密度满足了DRC规则，却引起了其他位置图形密度不足；清除了当前金属走线前进路径的障碍，却在其他位置形成了图形空洞。所以，强大易用的跨层次删除功能必将极大提高版图编辑的效率。工程师可以选择修改当前位置，并自动拷贝生成新的单元，也可以选择任意图形组合成新的单元，这都是跨层次编辑带来的好处。

Skipper的解决方案

从以上罗列的种种问题我们可以得出一个初步的结论，传统的版图设计工具可以从无到有的设计版图，但受限于数据结构以及工具架构，很难针对某些特定问题提供更高效的解决方案。

市场上很早就出现了单纯的版图浏览工具，因为无需编辑，所以内存占用少，比传统版图工具具有速度优势，遗憾的是无法对版图进行修正。另外，也有专门定位于chip finishing的工具，该类工具更侧重于版图组装，DRC修正，分析功能不是该类工具的强项。无论是设计公司还是foundry，为了缩短芯片tape out周期，提高流片成功的可能性，都希望除了传统版图工具之外，还有一个专门的集快速浏览与chip finishing常用功能于一体，并且具有强大版图分析能力的工具。基于这种市场判断，华大九天投入人力研发出了新型的高效版图分析工具——Skipper。

Skipper具有以下特点：

1. 独有的数据结构。Skipper经过优化的数据结构，可以轻松处理海量数据。数据读入时采用了多线程算法，如果没有硬件IO的速度限制，GDS格式数据的读入速度可以达到40G-60G/min。读入后为了方便工程师浏览版图的细节，刷新也采用了多线程算法，即使最先进工艺上百层的版图，放大缩小版图时也能做到流畅平滑。
2. 强大的编辑功能。这里所说的编辑，并不是说比传统的版图工具拥有更多的功能。Skipper的编辑针对版图最后阶段的修改，可以通过扩展的Tcl脚本快速完成cell的重命名，添加，删除；整层layer图形的拷贝，移动；特别值得一提的是，Skipper处理跨hierarchy层次的编辑有独到优势。用户框选物体，跨层次的一次性删除，Skipper能够尽量保持原有的hierarchy层次。如果被更改的单元在别处有调用，Skipper能够自动创建本地的新cell。用户用EIP命令编辑下层次单元，无论是插入新的instance，还是删除某个图形，Skipper都会自动询问是全局编辑还是只对当前子单元做出改变。
3. 版图分析功能。无论线网的追踪，短路开路检查，或者针对特定pin之间计算等效电阻，Skipper对每一项功能的算法都做了精益求精的优化。以线网追踪为例，即使用户想查看整个电源网络，对于一个6G大小的版图，Skipper都可以在10分钟左右完成。基于Trace引擎的短路检查，同样能以较快的速度帮助用户定位信号线之间以及信号与电源地等大型网络之间的短路点。对于图1中的例子，Skipper通过设置宽度条件限制，能够在几秒钟内准确定位出信号线与电源线之间的短路位置，如图3所示。

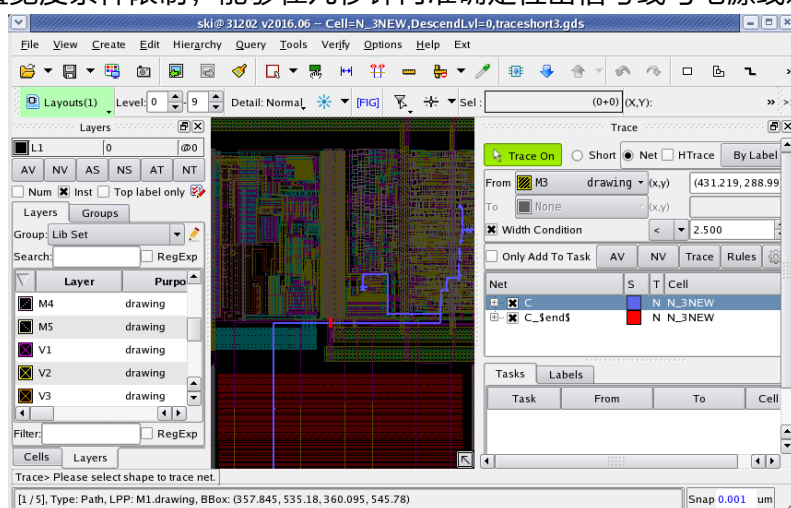


图3. 版图中红色高亮位置是信号线与电源网络的短路所在

电阻计算功能如前所述，对于版图ESD检查及失效分析至关重要。Skipper的电阻计算根据选定点之间的电阻网络求解矩阵方程，同时计算出流经线网之间的电流密度，在版图上对线网的电流密度强弱给予直观的显示，有效提高了版图工程师的工作效率，如图4所示。充分考虑到电阻计算的各种应用方式，Skipper提供加载多个工艺条件文件，温度用户设置的方式，计算不同工艺条件下的电阻值。选点方式也从原先的单点对单点，发展到了多点对多点的计算。即使对于大规模线网上的电阻提取，也利用优化的PG算法和区域算法，实现了电阻计算精度与速度的平衡。

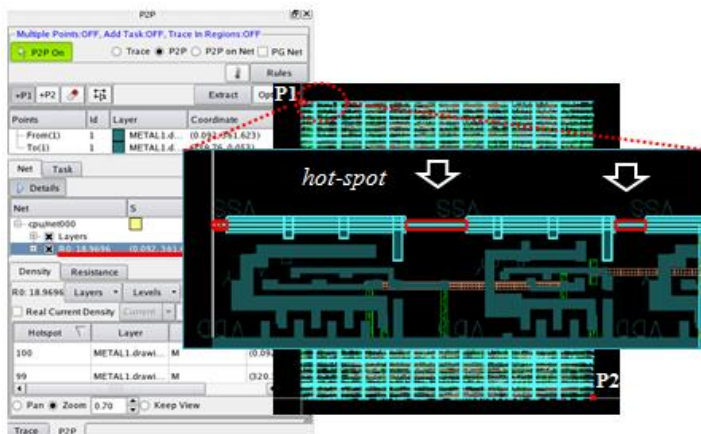


图4. P2P等效电阻计算及电流密度强弱的显示

4. 文档准备。流片之前工程师要做相应的检查并准备文档，比如要与封装厂沟通Pad中心点坐标及名称；要检查版图大小，获得版图所用到的图层统计信息；扫描版图中用到的IP模块，给出统计文档；芯片测试失效，要做FIB分析，同样要与FIB人员讨论方案，准备报告。对于以上所有繁琐细致的工作，Skipper都能提供便捷的操作方式，高速准确的生成报表。

除次以外，Skipper的版图比较（LVL），IP merge等功能同样极具特色。LVL作为业界最快的版图比较工具，提供了多种选项，可以让用户通过GUI，脚本，命令行的方式在最短的时间内完成版图的比较。IP merge的数据读入写出与Skipper共用同一引擎，有力的保证了版图组装，IP导入的速度与准确度，迄今为止已经通过了几百颗芯片tape out的验证。

结论

为了更高效的完成版图集成，检视以及特定分析任务，及时检查出版图中的潜在问题，在传统版图工具之外，还需要更专业的工具完成tape out前的各项任务。Skipper凭借出众的速度优势，强大的特色功能，基于Tcl的可扩展脚本，完全能够胜任这项工作。采用Skipper作为传统版图工具的有益补充，可以成倍缩短版图的tape out周期，提高工程师的工作效率，使工程师将精力集中于电路设计本身。随着Skipper自身功能的扩展，性能的进一步提高，将Skipper作为工作流程的必备工具必将为集成电路设计与制造带来益处。