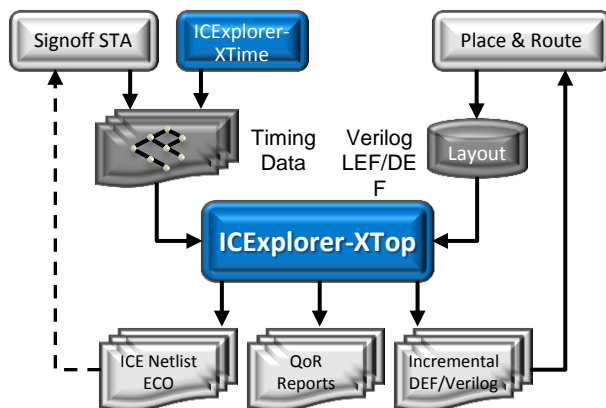


ICExplorer-XTop

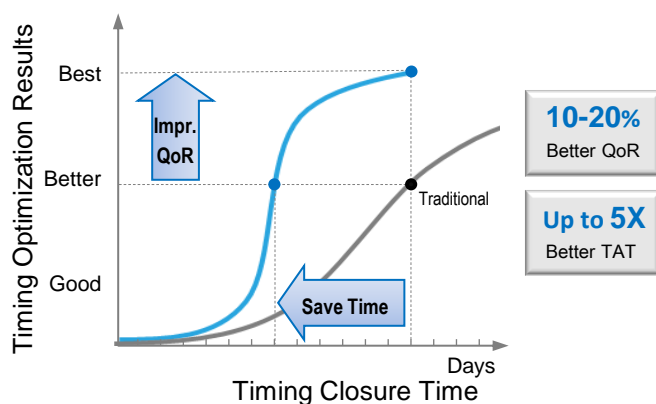
完整的时序ECO优化解决方案

新一代的时序优化工具ICExplorer-XTop, 提供了完整的准确高效的MCMC时序ECO解决方案, 可以在先进的16/14/10纳米FinFET工艺制程和其它成熟的制程节点下, 快速完成多目标的时序优化, 有效减少设计迭代周期。现已通过16nm先进工艺验证, 成功流片多个大规模SoC设计, 成为多家国内外领先IC设计公司的标准ECO解决方案。



ICExplorer-XTop 时序优化流程

ICExplorer-XTop继承并增强了对先进工艺下芯片物理布局布线约束的支持, 其核心算法经过分布式并行运算的强化, 大幅度提高了软件运算的速度和内存利用效率。卓越的图形用户界面设计、强大的时序检查及交互式ECO功能, 给用户带来全新的体验, 帮助快速修复最后阶段的hot-path。



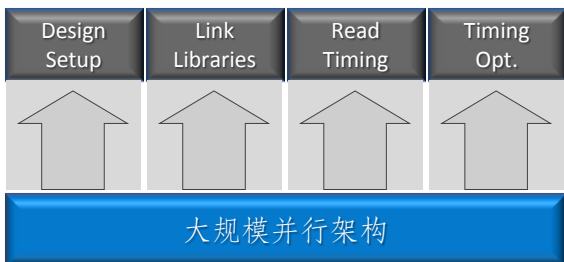
ICExplorer-XTop 更有效的时序收敛

功能与优势

- 快速、高效的时序自动化修复
- 支持交互式Manual ECO
图形化显示时序检查及优化结果
- 先进的时序分析和优化引擎
- 兼顾布局布线的物理分析引擎
- Hold 时序优化
- Setup 时序优化
- Max-Transition 优化
- Max-Capacitance 优化
- Long-Wire 优化
- Max-Fanout 优化
- 真正的MCMC ECO解决方案
- 支持复杂的层次化设计
- 支持多电压域设计
- 支持16/14/10纳米先进工艺
并经过成功流片验证
- 全新的分布式并行软件架构
更好的支持多个MCMC工作场景
- 支持增量化的设计配置
- 支持保存及恢复会话场景
- 同时支持GBA和PBA流程控制
- 与第三方物理实现工具无缝衔接

新架构

ICE Explorer-XTop采用了全新的大规模并行架构设计，全方位的支持从数据准备到时序优化的各个阶段，可以有效增强可扩展性，加快软件运算速度，缩短TAT周转时间。



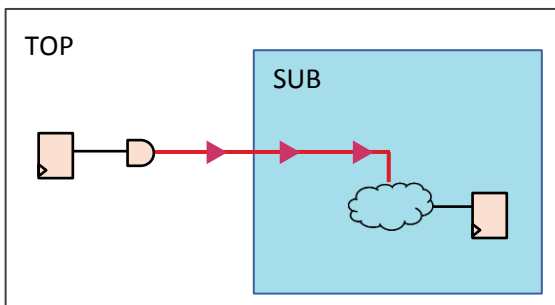
用户可以在使用的任意阶段保存会话场景，记录当前设计中的所有数据信息，重新恢复会话场景后，可以继续进行操作。

新引擎

ICE Explorer-XTop升级了内嵌的物理布局引擎，更好的支持16/14/10纳米FinFET工艺下的设计规则，可以应对单元布局密度较高设计的优化。

内嵌的物理布线引擎，充分考虑芯片设计的布线拥挤度，可以更好的处理pin access问题，保证了优化结果和物理实现良好的一致性。

先进的Hierarchy Splicing技术，支持复杂的层次化设计，可以修正跨物理层次的线网，进一步提高时序修复效率。

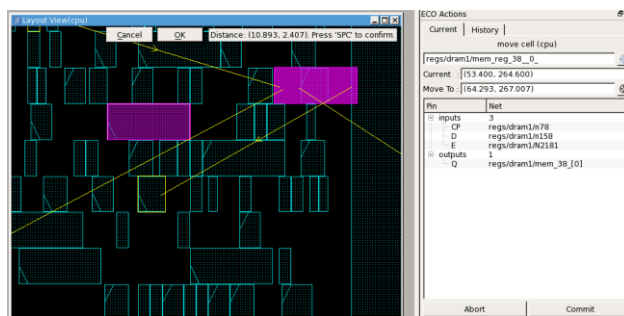


ICE Explorer-XTop核心的基于模块化STA引擎，与时序sign-off工具完全兼容，用户可以更方便的操作层次化对象。独有的基于路径的时序分析算法，可以支持AOCV/POCV/SBOCV等条件，更准确的进行时序传递和计算。

新功能

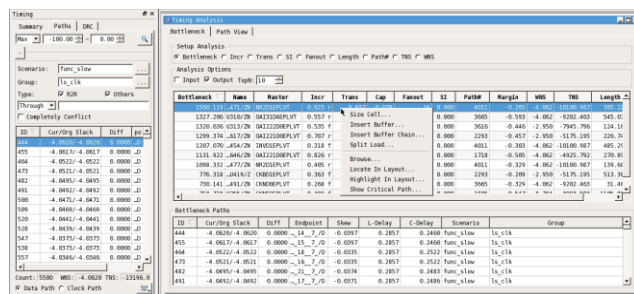
ICE Explorer-XTop提供了完整的时序收敛解决方案，不仅支持多目标的自动时序优化，还支持交互式的Manual ECO操作，更有效的帮助设计者实时解决遗留的时序问题。

- 缓冲器单元插入
- 缓冲器单元序列插入
- 单元类型/尺寸变化
- 大线网负载分裂
- 缓冲器单元删除
- 单元位置移动
- Undo撤销操作



交互式ECO操作：单元位置移动

全新设计的图形用户界面，方便用户浏览版图，查看时序路径，更加便捷地进行交互式ECO操作。控制面板、窗口及报告表格的设计都得到了优化，有助于提高用户的可观测性、可控制性以及工作效率。



ICE Explorer-XTop 提供时序分析策略

强大的时序分析功能，可以针对时序违反路径，快速找到瓶颈点并提供解决方案策略。单元、管脚、线网、时序路径等都可以和物理版图进行交叉索引及高亮显示，更直观的展现以使用户做出决策。