

跨电压域路径的高精度时序分析

使用背景

当芯片的多个模块工作在不同的电压域时，不同模块的电压互相独立，跨电压域的时序同时与多个电压相关。对于跨电压域的路径，设计师必须找出时序最差的电压组合进行时序签核。

以图1所示跨电压域路径为例，endpoint点的Hold Slack值计算如下：

$$\text{Hold Slack} = (\text{Launch1} + \text{Delay1} - \text{Capture1}) @ \text{PD1} + (\text{Delay2} - \text{Capture2}) @ \text{PD2}$$

Hold Slack既不随VDD1单调变化，也不随VDD2单调变化。

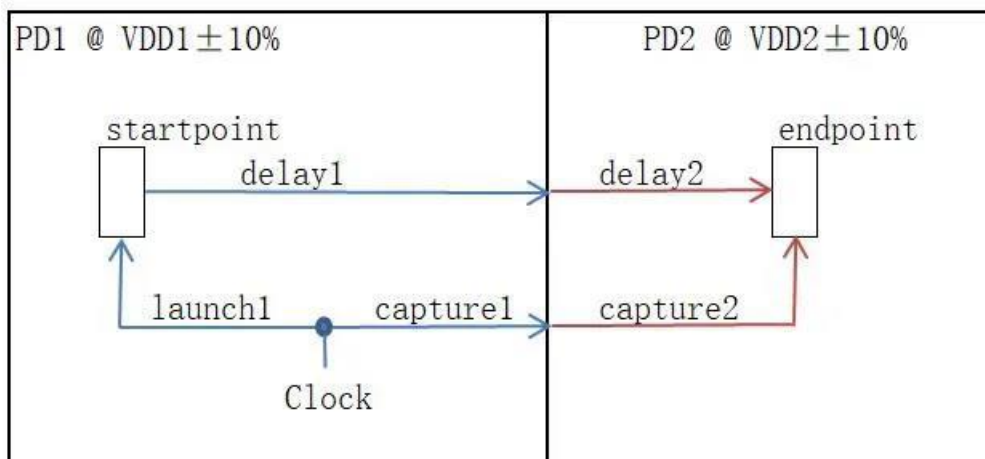


图 1：跨电压域路径示意图

传统的signoff方法，会检查SSG@ (VDD1-10%, VDD2-10%)，以及FFG@ (VDD1+10%, VDD2+10%)。为了覆盖最差的情况，设计师至少需要增加多个场景：SSG@ (VDD1+10%, VDD2-10%)，SSG@ (VDD1-10%, VDD2+10%) 以及FFG@ (VDD1+10%, VDD2-10%)，FFG@ (VDD1-10%, VDD2+10%)。

如此一来，签核场景数目会极大增加，并且标准单元 timing library 通常并不包含SSG@ (VDD+10%) 以及FFG@ (VDD-10%) 的corner。

华大九天单元库/IP质量验证工具Qualib提供的Dynamic Validation功能和高精度时序仿真分析工具XTime提供的电压扫描功能，为全面、精确评估跨电压域路径的时序提供了解决方案。

计算跨电压域的Delay Derate

如前所述，我们需要在多种电压组合下分别计算跨电压域路径的时序。然而时序库的voltage corner有限，并不能cover 所有的需求。

对于library缺失的电压corner，利用单元库/IP质量验证工具Qualib的Dynamic Validation 功能，设计师能够以已经存在电压corner的delay为参考点，得到其他电压下delay相对于参考点的比例（delay derate），如图2所示。

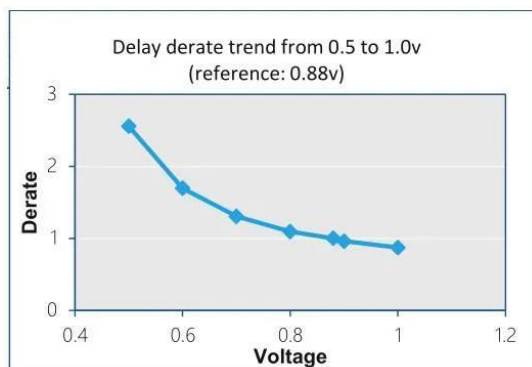


图 2: 利用Qualib计算不同电压下delay的derate

将Empyrean Qualib计算出的derate反标回STA工具，可以估算出各种电压组合下的Slack。为PR和Timing ECO提供重要依据。

精确计算跨电压域的时序余量

在Sign-off阶段，用户需要得到比利用derate更加精确的时序结果，对电路进行实际电压下的仿真是最精确的办法。

高精度时序仿真分析工具ICExplorer-XTime能够自动生成跨电压域的路径SPICE run deck。利用ICExplorer-XTime，用户可以固定其中一个电压域的电压，扫描另外一个电压域的电压，从而得到不同电压组合下时序路径的精确slack值。如图3所示。

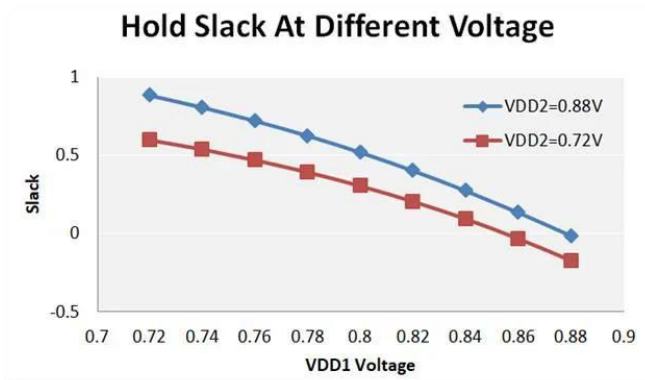


图 3: 不同电压组合下时序路径的Hold Slack值

结语

对于跨电压域设计的时序签核，通过Qualib Dynamic Validation功能直接对标准单元进行电压扫描仿真分析，即可得出不同的单元需要添加的具体derate值；再通过ICExplorer-XTime对关键路径进行电压的扫描仿真分析，即可验证Sign-off设置是否能覆盖真实的时序情况。

当然，对跨电压域设计的Sign-off还有很多其他需要特别关注的地方，比如IR drop对整体性能的影响，低电压下工艺偏差对时序的影响等。针对这些问题的解决方案，我们在后续文章中会跟大家详细探讨。