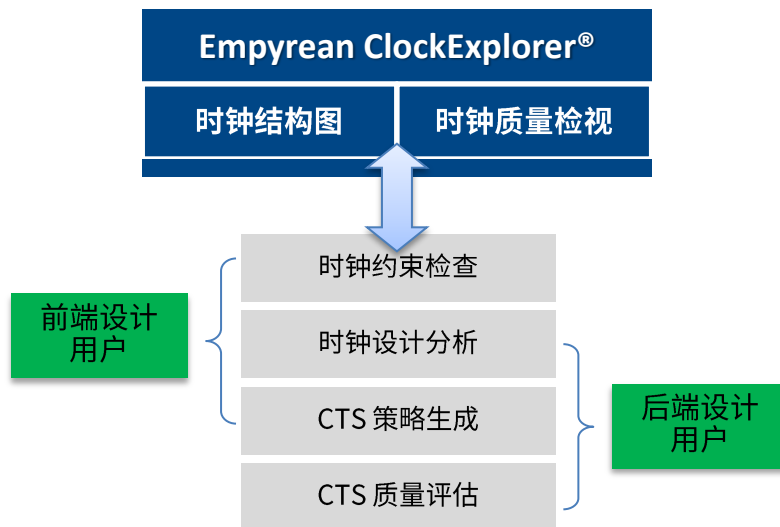


# Empyrean ClockExplorer®

## 时钟质量检视与分析工具

## 功能与优势



## 概述

随着集成电路快速发展到先进工艺，SoC设计的规模和复杂性都迅速增加，时钟网络的质量对整个设计的性能影响也越来越大。时钟设计方面的问题会导致项目的延迟、设计的修改，甚至芯片量产的失败。因此，我们必须在设计过程中尽可能早地考虑时钟设计的潜在风险。

对于前端和中端工程师，在签署RTL代码sdc文件之前，需要避免对时钟综合不友好的时钟结构和不适当的时钟约束；对于后端工程师，为了减少CTS设计周期，需要通过检查时钟网络的物理分布和分析时钟结构来优化CTS策略，在下一轮迭代之前，进行时钟综合结果瓶颈分析和修改。所有这一切都需要设计者大量的努力和多年的经验积累。

Empyrean ClockExplorer®产品提供了一站式时钟分析和质量检查平台，解决不同设计阶段的时钟设计难点，可以有效缩短时钟设计周期，取得更好的时钟综合结果。它拥有功能强大的时钟结构图形展示，帮助用户清晰掌握时钟的结构与相互关系，制定更好的CTS策略。基于规则检查的时钟质量检视系统集成了丰富的时钟检查条目，可以帮助用户对时钟设计质量进行评估和把控，快速找到瓶颈问题，提高设计质量。

Empyrean ClockExplorer®的时钟结构示意图为用户提供了清晰、简洁的时钟结构展示方法，基于规则的时钟质量检视系统可以有效评估各阶段的时钟设计质量，获得了用户的广泛认可。

### • 时钟结构图

- 清晰简洁的时钟结构展示
- 时钟及时钟组的关系展示
- 提供更好的CTS策略，提高时钟综合质量
- 实时的交互式连接性追踪，可以与物理版图交叉定位

### • 基于规则的时钟质量检视

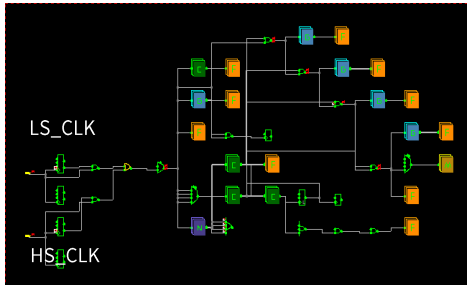
- 一键式时钟质量检查，可服务于 pre-CTS 及 post-CTS 等设计阶段
- CTS结果瓶颈分析与质量提高
- 时序相关性分析，有效提高时钟设计与时序优化
- 减少时钟设计周期，降低时钟功耗及OCV问题

## 功能

### □ 时钟结构图

#### ❖ 时钟示意图展示

- Overview 模式提供更合理化的模块封装
- 提供 by delay 及 by level 显示模式
- 同一窗口显示包含多个时钟的时钟组内容



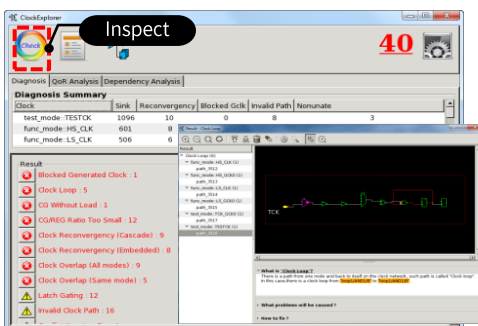
多时钟结构图展示

#### ❖ 时钟结构分析调试

- 单元/引脚的连接图，有效进行交互式追踪
- 与物理版图的交叉定位
- 单元及模块的时序相关性的连线展示

### □ 基于规则的时钟质量检视

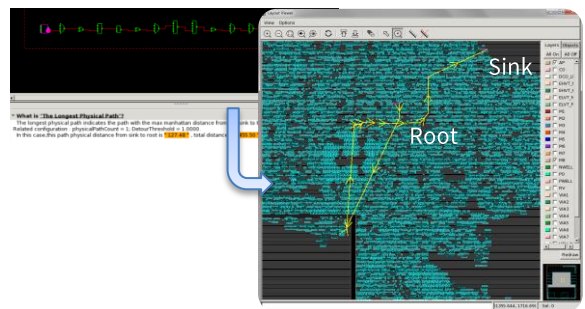
#### ❖ 一键式时钟设计质量评估 (KPI)



时钟 KPI 系统主窗口

#### ❖ 时钟质量检查

- 时钟设计诊断  
SDC 验证, 不友好的时钟结构检查 ...
- 时钟综合质量分析  
物理瓶颈检测, DRC 检查 ...
- 时序相关性检查  
先进的单元/线网时钟偏差分析, early branch 分析 ...



时钟综合质量分析: 定位最长时钟路径在物理版图的分布

## 支持的数据与平台

### □ 输入文件

- LEF, Liberty, Verilog, DEF, SDC, Clock Spec, SDF

### □ 流程集成

- 支持业界主流的EDA设计环境
- 支持独立的命令行模式

### □ 支持的平台

- X86 64-bit:
- Red Hat Enterprise V5, and V6