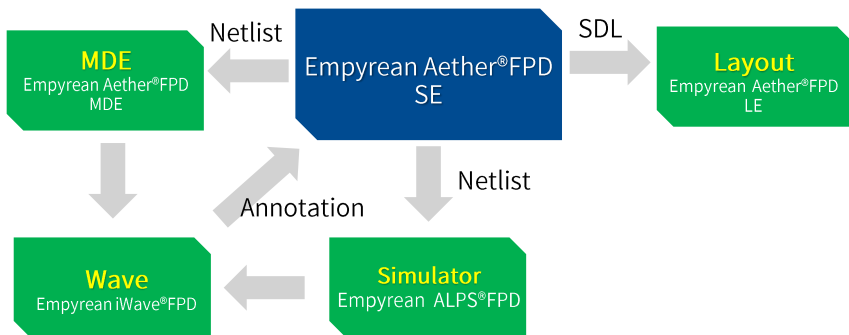


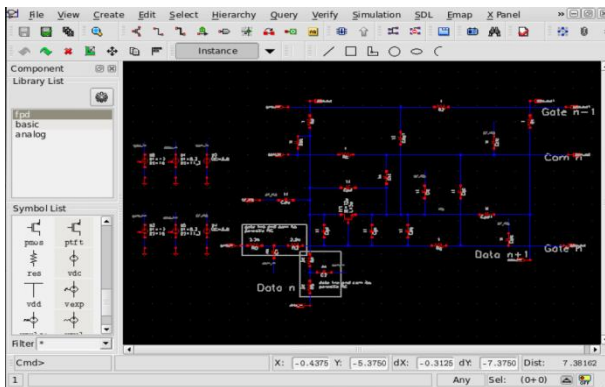
Empyrean Aether® FPD SE

平板显示电路设计原理图编辑工具



概述

Empyrean Aether® FPD Schematic Editor (以下简称Empyrean Aether® FPD SE) 是平板显示电路设计原理图编辑工具，主要用于对平板显示电路设计的像素单元、控制单元等电路模块进行原理图设计。该工具不仅支持传统的平板显示电路设计的原理图编辑，还可支持异形屏显示电路的原理图编辑，快速匹配异形版图，大幅度提升异形原理图绘制效率。



图示1 Empyrean Aether® FPD SE工具主界面

Empyrean Aether® FPD SE工具根据面板电路设计特点，创新开发了阵列电路快速设计（Create Cascade）技术，异形像素阵列电路自动生成技术（Fill AA）。同时，该工具提供友好的设计环境和灵活的工具设置界面，支持EDIF、SPICE、Verilog等各种标准网表的导入导出接口，通过编辑命令快速、高效实现包括像素电路、外围控制和驱动电路的原理图设计，并保持完整的电路层次结构。

Empyrean Aether® FPD SE通过集成平板显示设计电路仿真工具（Empyrean ALPS® FPD），为平板显示电路设计提供了完整高效的交互式前端设计流程。充分满足用户的电路以及仿真设计需求。

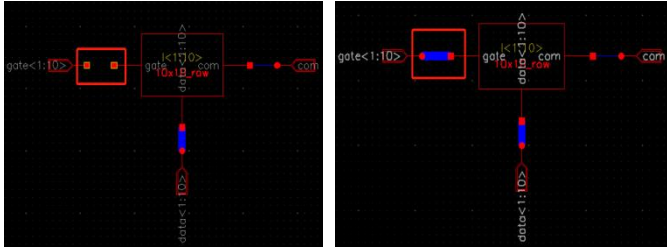
亮点

- 支持Cascade阵列电路描述方式，实现快速Full Panel的快速仿真
- 支持异形像素电路自动生成，快速实现异形电路创建
- 方便灵活的配置方式
- 简单便捷的层次化操作
- 支持Symbol自动生成以及编辑
- 支持Parasitic RC Symbol
- 强大的层次化线网追踪（Trace Net）功能
- 通过Navigator快速查找和选定单元，Pin，Net等
- 通过快捷键、工具栏图标等方式快速启动功能
- 支持CDL/SPICE/Verilog/Verilog-A等主流网表导出
- 支持EDIF 200格式导入导出
- 实时 ERC 检查保证电路的连接正确性
- 支持层次化电路参数传递iPar和pPar

特色功能

□ 实时ERC检查

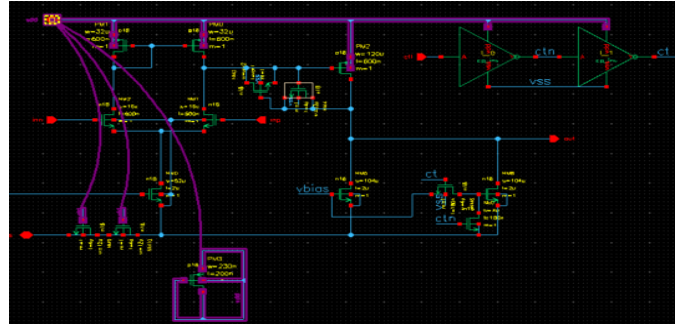
电路设计需通过ERC规则检查确保电路连接正确性。Empyrean Aether®FPD SE提供了实时ERC 检查功能，在电路创建或者编辑过程中，实时检查电路的连接正确性，并给出相应的警告或者报错提示，极大地节省了手动ERC检查的时间。



图示2 实时ERC检查

□ 线网高亮 (Net highlighting)

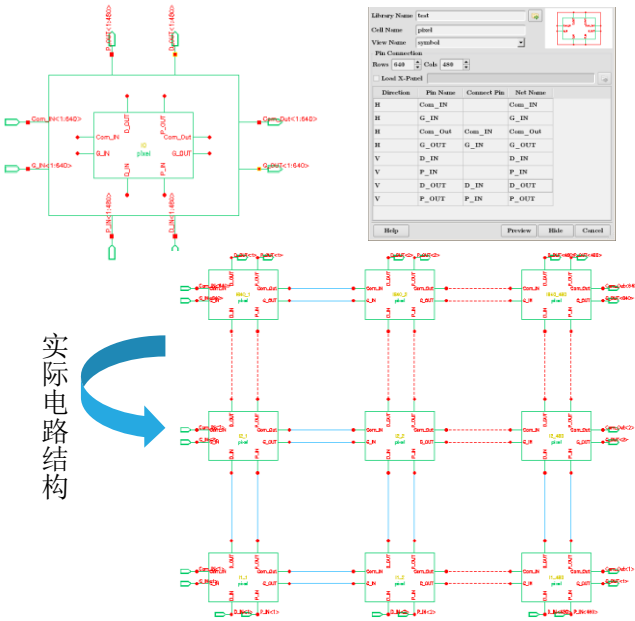
线网高亮功能可以在不启动Trace Net功能的情况下，将当前鼠标点所在的线网以及其同名线网全部高亮，不管这些线网是否真实存在物理连接。这个功能可以有效便捷的帮助用户检查线网的连接关系。



图示4 线网高亮

□ 阵列电路创建模块 (Create Cascade)

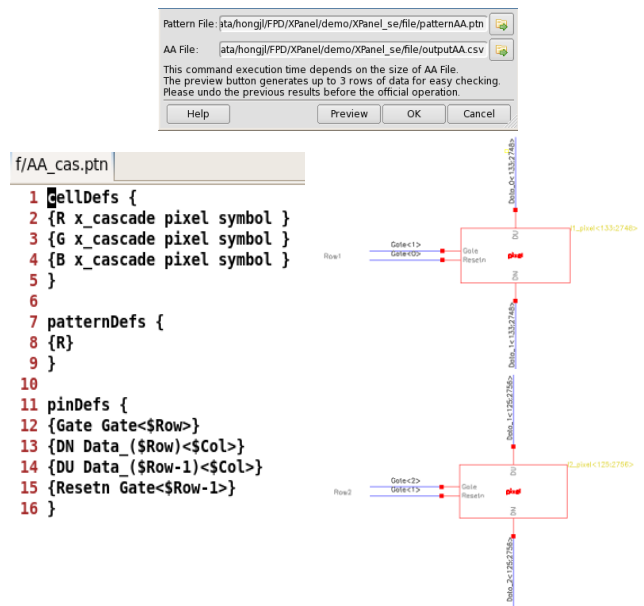
Create Cascade功能采用黑盒方式直接定义级联电路阵列，可以轻松实现大规模（4K）行列信号的级联（上一级的输出是下一级的输入）电路设计，同时支持该模块的网表输出，仿真，反标以及LVS。



图示3 Cascade电路示意图

□ 异形电路自动创建模块 (Fill AA)

该功能根据异形像素定义的csv文件一键生成对应的异形电路，并可以与Cascade模块结合使用，快速完成异形电路的创建。



图示5 Fill AA模块示意图