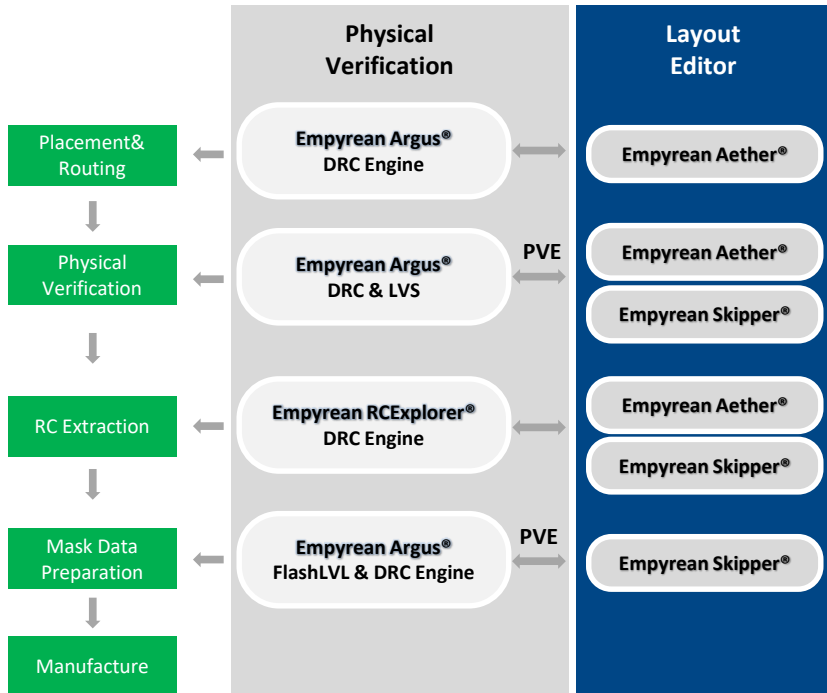


Empyrean Argus®

物理验证工具



功能与优势

□ 精度

- Signoff级别的验证精度
- 圆弧高精度记录与运算
- 器件参数高精度提取

□ 性能

- 高性能版图预处理技术
- 数据及命令双并行技术
- 层次重构技术保障阵列版图性能

□ 效率

- 违例识别加速人工检查效率
- 定制化验证功能和流程，提高设计效率

□ 易用性

- 丰富的Debug功能，为结果分析提速
- 清晰的结果呈现方式便于定位真实错误

概述

随着设计规模的急剧增加和工艺复杂度的不断提高，物理验证所需时间也不断增长，高效的物理验证方案必不可少。Power，传感器等IC设计存在大量复杂图形，对物理验证工具的精度和性能提出了新的挑战。

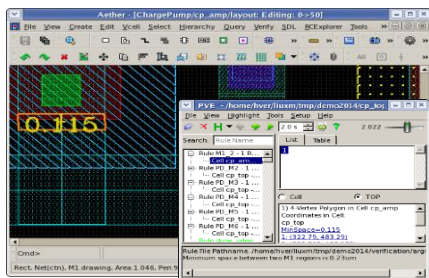
Empyrean Argus®是新一代纳米级芯片层次化并行物理验证工具。它对于消除设计错误、降低设计成本和减少设计失败的风险具有重要作用。该工具根据模拟电路设计版图图形的特点，通过扫描线技术、版图预处理技术等，对各类复杂图形做高精度的检查及器件提取，显著提升了设计师检查和分析版图设计错误的效率，缩短了产品的设计周期。该工具可无缝集成到模拟电路原理图版图编辑工具 Empyrean Aether®、版图集成与分析工具 Empyrean Skipper®，并通过易用的 debug 功能帮助版图设计工程师快速定位版图设计错误、加速验证过程并缩短产品开发周期。

Empyrean Argus®产品已取得全球知名晶圆厂商的广泛支持，为用户提供 signoff 级别的验证服务，成功完成流片数十亿颗。

功能

□ 设计规则检查 (DRC)

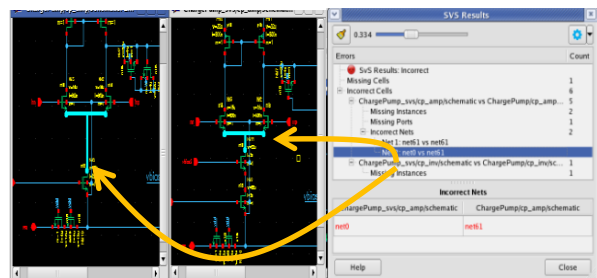
- 能够完成距离，图形关系，密度，天线等传统DRC规则检查
- 也可应用于Dummy填充，逻辑运算等版图处理
- 能够处理图形，边及角度等类型数据的高精度检查
- 交互式特定区域的局部检查，提高验证效率
- 返标间距检查结果的最小间距
- DRC结果排序，过滤，自动生成报告功能



DRC标注结果最小距离

□ 版图与原理图比对检查 (LVS)

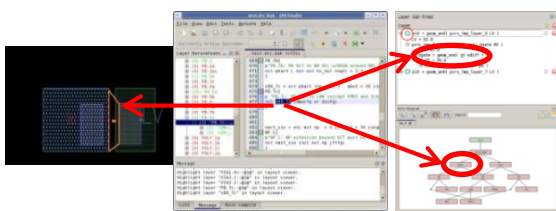
- 能够实现层次化版图网表高效提取
- 层次化LVS模式中支持Auto或自定义的HCELL
- 提供特殊路径检查、短路/开路路径分析ERC应用
- 灵活的器件提取语言，精确技术后仿所需的多种参数，可适用于高压/CIS/3DIC的器件提取
- 为IP设计提供IPBOX功能，仅检查IP与上层电路正确性
- 比较原理图直观显示比对差异 (SVS)



电路图差异比较

□ 物理规则开发平台 (DRStudio)

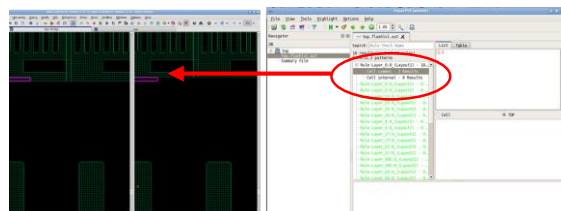
- 通过界面化的Design Rule开发平台提高开发效率
- 通过逻辑图显示图层派生关系帮助开发者理清思路
- 通过交互式反标提高DRC/LVS rule-deck debug效率



Design Rule逻辑分析与Debug

□ 版图与版图对比 (LVL)

- 输入/输出支持业界多种版图数据格式
- 支持多台机器并行版图比较
- 通过不同类型电路的版图优化预处理提高性能



版图差异比较结果Debug

支持的数据格式与平台

□ 支持的数据格式

- GDSII/OASIS及其压缩格式

□ 支持的平台

- X86 64-bit:

Red Hat Enterprise V6 and V7