

Polas

Power Layout Sign-off 新方案

设计挑战

如何模拟Power芯片的真实工作状态，提高Power IC产品的可靠性和良率是Power Layout设计者始终面临的难题。传统RC提取方案的精度无法满足power模块形状特殊，面积大的特点；精确的电压电流仿真受制于版图提取精度和仿真器性能；设计符合DRC/LVS规则但依然失效；Layout设计完成后再用传统EDA工具拼凑方案做分析迭代周期长。由于没有保证精度和速度的解决方案，大大增加了设计风险和产品开发周期。

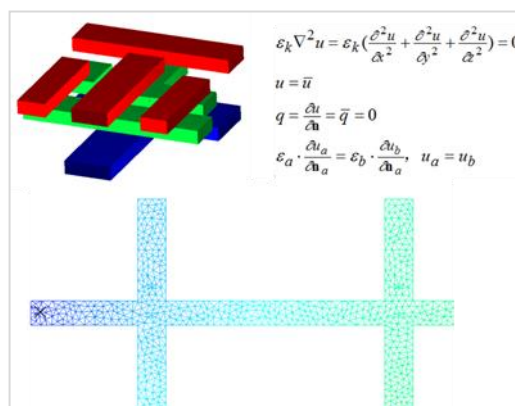
解决方案

Polas是华大九天针对Power IC电流大，电压高，真实工作状态无法预知的困境，提供专注于Power IC设计的可靠性分析工具包。Polas通过对芯片真实物理工作状态的模拟，从EM, IRdrop, Power Gate Timing, Cross talk和可靠性规则检查等方面，给设计者提供Sign-off级的分析结果，帮助设计者提高power IC产品的良率。同时，华大九天通过Polast与AMS design产品线的结合，为Power IC设计者提供一站式的完整EDA解决方案。

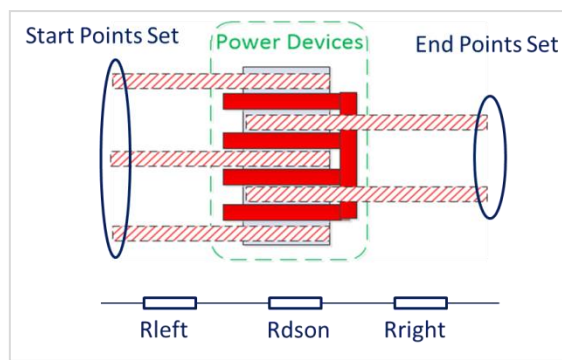


核心技术

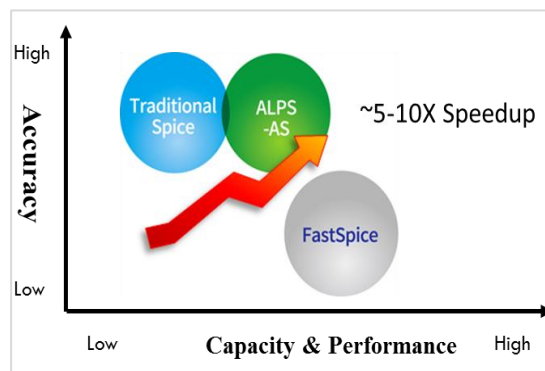
基于3D field solver引擎及有限元分析技术精确计算power网络寄生RC，可避免传统RC提取方案分析不规则图形时误差较大的问题。



通过仿真信息反算技术，精确计算器件导通电阻，即可构建真实电阻网络，模拟电流经过线网及device的过程，又可整体分析等效电阻。



业界最快的true spice级后仿工具ALPS，在同等精度条件下，速度比其他工具提升5-10倍，可更快的得到仿真数据。



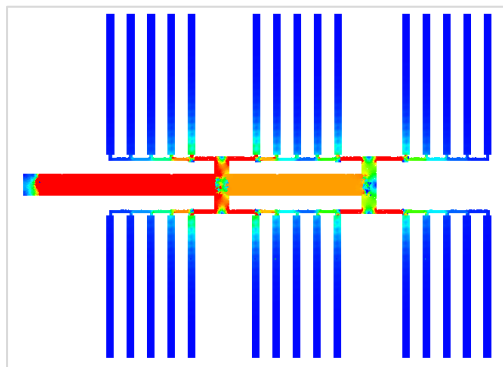
独有的LRC(Layout Reliability Check)引擎可完成传统DRC无法覆盖的设计规则检查。



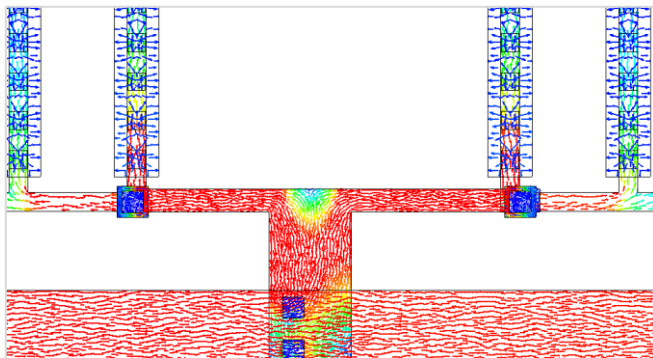
典型应用

EM/IRdrop分析

在设计过程中即可利用局部版图，通过EM热点图，电路流向图，IRdrop分布图，分析power设计的可靠性。



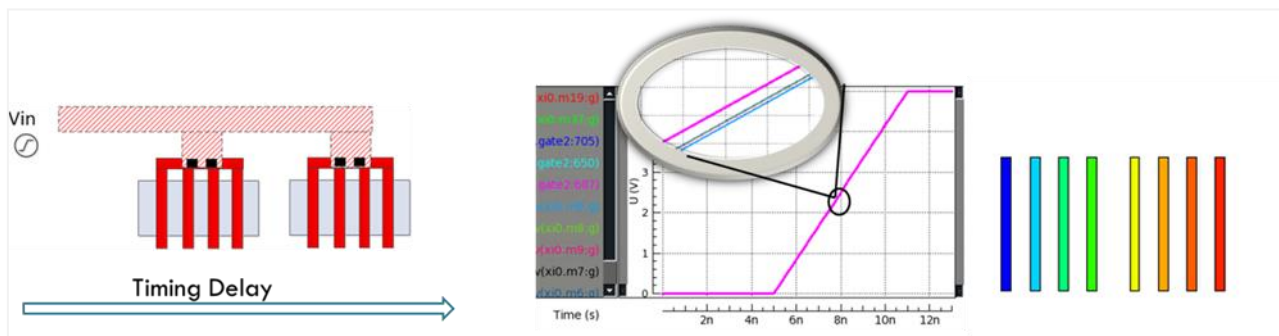
EM热点图



电路流向图

Power Gate Timing分析

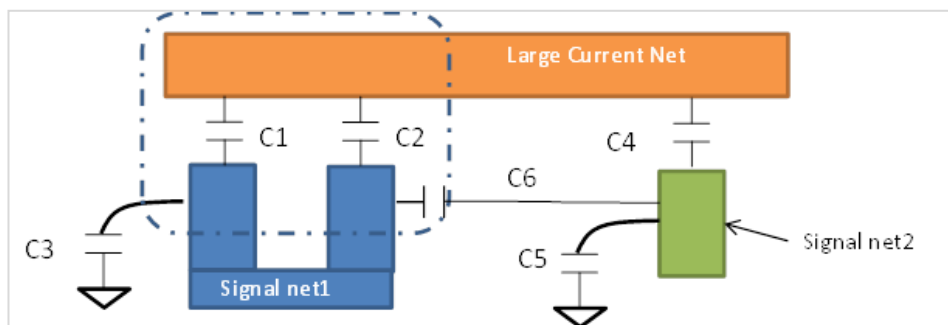
在设计过程中即可利用局部版图，计算power器件导通/关闭的timing delay分布，动态分析power设计的可靠性。



Gate timing delay图

Cross talk分析

在设计过程中即可利用局部版图，分析由大电流线网引起的signal net上的crosstalk问题，在版图设计初期即可指导版图优化，避免后期迭代。

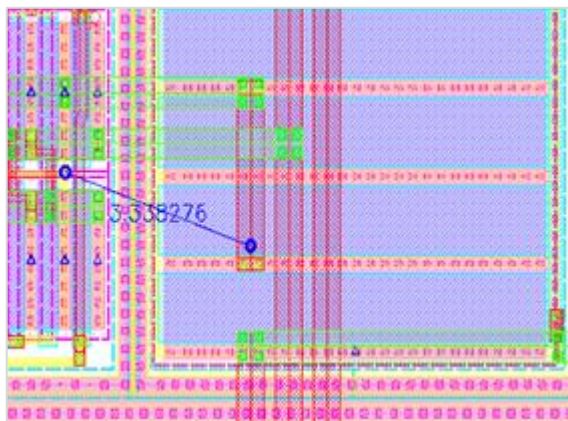


Coupling 电容技术图

Polas-Power Layout Sign-off 新方案

P2P线网可靠性分析

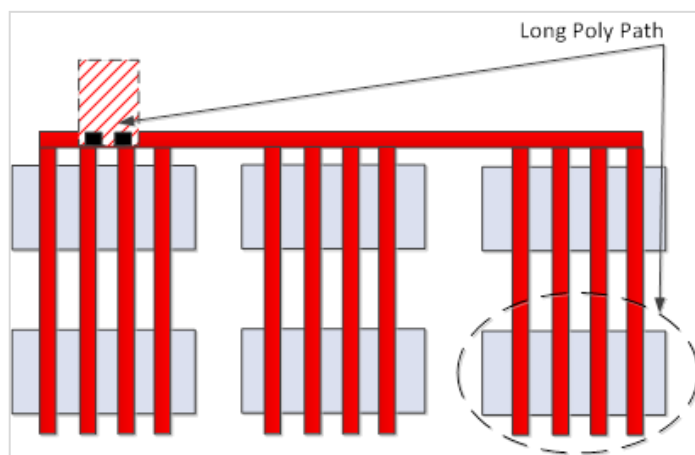
通过P2P电阻/电容实时测量及EM分析，线网电阻分布分析等功能，对关键线网做实时可靠性分析，对Power/Ground端口间电阻分析，对ESD路径电阻检查。



p2p实时电阻分析

Poly供电能力检查

Power器件尺寸大，数量多，poly连线寄生电阻大，虽然没有违反传统的DRC/LVS设计规则，但存在可靠性隐患。如LRC可通过poly path长度检查，指出过长的poly，提示设计者通过金属增加供电能力。



长poly连线检查

北京华大九天软件有限公司

地址：中国北京市朝阳区利泽中二路2号望京科技园A座二层

www.emyrean.com.cn
E-mail: info@emyrean.com.cn

Tel: +86(10)84776888
Fax: +86(10)84776889

